



JAPANESE PATENT OFFICE

# PATENT ABSTRACTS OF JAPAN

(11)Publication number: 08222705

(43)Date of publication of application:  
30.08.1996

(51)Int.CI.

H01L 27/08  
H01L 21/8238  
H01L 27/092  
H01L 27/12  
H01L 29/786

(21)Application number: 07024941 (71)Applicant: HITACHI LTD

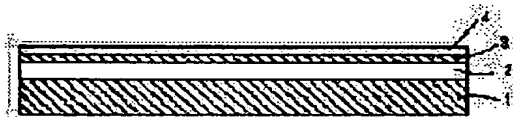
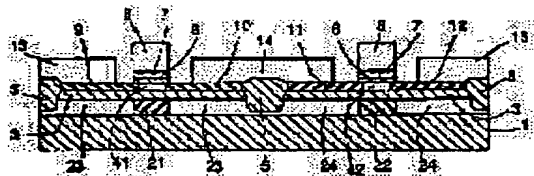
(22)Date of filing: 14.02.1995 (72)Inventor: HORIUCHI KATSUTADA

## (54) COMPLEMENTARY SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To eliminate the generation of a leakage current in the zero voltage of a complementary semiconductor device and to set the value of the threshold voltage of the complementary semiconductor device at the value of a desired voltage by a method wherein in both gate electrodes of N-channel and P-channel transistors, the regions, which come into contact with an ultrathin film single crystal Si film, are constituted of a conductive material, whose work function becomes the intermediate work function between those of P-type and N-type high impurity concentration Si films.

CONSTITUTION: A polycrystalline Si film 22 under the lower part of a channel of an N-channel transistor is set in P-type high impurity concentration and a polycrystalline Si film 21 under the lower part of a channel of a P-channel transistor is set in N-type high impurity concentration using a multilayer SOI wafer having a polycrystalline Si film 2 under the lower part of an ultrathin film single crystal Si layer 4 via a thin insulating film 3. Moreover, the regions, which come into contact with gate oxide films 6, of both gate electrodes 8 of the transistors are constituted of a conductive material having roughly the same work function as that of an intrinsic Si film. Thereby, the generation of a leakage current in the zero voltage of a complementary semiconductor device can be eliminated and the setting of the value of the threshold voltage of the complementary semiconductor device at the value of a desired voltage can be realized by a simple production process.



**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-222705

(43) 公開日 平成8年(1996)8月30日

(51) Int.Cl. <sup>8</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/08	3 3 1		H 0 1 L 27/08	3 3 1 E
21/8238			27/12	Z
27/092			27/08	3 2 1 D
27/12			29/78	6 1 3 A
29/786				6 1 7 N

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21) 出願番号 特願平7-24941

(22) 出願日 平成7年(1995)2月14日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 堀内 勝忠

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 相補型半導体装置

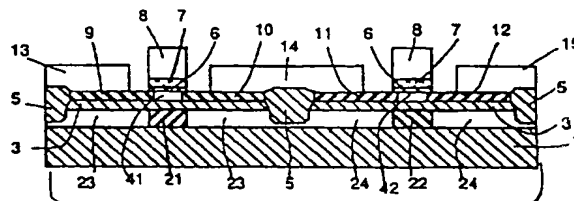
(57) 【要約】

【目的】漏洩電流を生じることなく閾電圧値を低く設定することが可能なSOI構造の相補型半導体装置を提供する。

【構成】超薄膜単結晶Si層下部に薄い絶縁膜を介して多結晶Si膜を有する多層SOIウエハを用い、N型トランジスタのチャネル下部の多結晶Si膜はP型高不純物濃度に、P型トランジスタのチャネル下部の多結晶Si膜はN型高不純物濃度に設定する。更に、ゲート酸化膜に接する領域のゲート電極は真性Siとほぼ同じ仕事関数を有する導電性材料で構成する。

【効果】パンチスルー現象が抑制され、真性Siとほぼ同じ仕事関数を有するゲート構成と相まって、漏洩電流なく閾電圧値を低く設定できる。

図1



## 【特許請求の範囲】

【請求項1】支持基板上に形成された第一の絶縁膜と、前記第一の絶縁膜上に形成され、第一の導電型を有する第一の領域、及び第二の導電型を有する第二の領域からなる第一の半導体膜と、前記半導体膜上に形成された第二の絶縁膜と、前記第二の絶縁膜上に形成され、前記第一の領域上では第一の導電型を有し、前記第二の領域上では第二の導電型を有する単結晶半導体層と、前記単結晶半導体層上に形成された第三の絶縁膜と、前記第三の絶縁膜上に形成された電極とを有し、前記電極の少なくとも前記第三の絶縁膜に接する領域は前記第一の領域、及び前記第二の領域を構成する半導体膜の何れの仕事関数とも異なり、その中間の値を有する同一の導電性材料で構成されることを特徴とする相補型半導体装置。

【請求項2】請求項1において、前記第一の領域上の前記単結晶半導体層には互いに分離された一対の第二の導電型で、且つ低抵抗の第三の領域が、前記第二の領域上の単結晶半導体層には互いに分離された一対の第一の導電型で、且つ低抵抗の第四の領域が構成された相補型半導体装置。

【請求項3】請求項2において、前記第一の半導体膜は多結晶質であり、前記一対の第三の領域の直下における前記第一の半導体膜は第一の導電型を有する高抵抗領域であり、前記一対の第四の領域の直下における前記半導体膜は第二の導電型を有する高抵抗領域で構成される相補型半導体装置。

【請求項4】請求項1、2または3において、前記電極は高融点金属、又はその珪化膜、あるいは高融点金属窒化膜で少なくとも一部が構成される相補型半導体装置。

【請求項5】請求項1、2、3または4において、前記第一の半導体膜は外部から高抵抗を介して一定電位に接続される相補型半導体装置。

【請求項6】請求項1、2、3、4または5において、前記第一の半導体膜は雑音入力保護回路を介して接地電位に接続される相補型半導体装置。

【請求項7】請求項3において、前記第一の半導体膜における第一の導電型を有する高抵抗領域、および前記第一の半導体膜における第二の導電型を有する高抵抗領域は前記電極端から一定の間隔となるように構成される相補型半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は相補型半導体装置に係り、特に、絶縁膜上に構成された低消費電力で、且つ高速度動作可能な高性能相補型MOSトランジスタに関する。

## 【0002】

【従来の技術】絶縁膜上の単結晶半導体層にトランジスタを構成する手法はSOI（シリコン・オン・インシュレータ；Silicon On Insulator）構造と称されて公知で

あり、図2及び図3で示される構造を有している。

【0003】図2は例えば1993年シンポジウム・オン・ブイエスアイ・テクノロジー（1993 Symposium on VLSI Technology）、p.27等で報告されている通常構造のSOIであり、支持基板（図示せず）上の厚いシリコン酸化膜（以降、単に酸化膜と称する。）1上に構成された100nm以下の極めて薄い単結晶Si膜41及び42に相補型MOSトランジスタが構成されている。9、10はN型ソース、及びドレイン拡散領域、11及び12はP型ドレイン、ソース拡散領域、6はゲート酸化膜、8はゲート電極、13、14、及び15は各々、接地電位線、出力端子、及び電源電位線である。51は素子間分離酸化膜である。

【0004】図2で示される公知のSOI構造トランジスタでは薄い単結晶Si膜41及び42に構成されるチャネル領域を高不純物濃度に設定しない限り $0.2\mu\text{m}$ 以下と超微細なゲート長を有するトランジスタではパンチスルー現象を抑えることができず、従って高不純物濃度に基づく移動度の低下のために、電流駆動能力が低下する問題があった。

【0005】図3は二重ゲート構造と称されており、例えば特開平5-167073号公報等で公知である。絶縁膜100上の超薄膜単結晶Si膜41及び42を上下から挟み込むごとくゲート電極8及び81、ゲート酸化膜6及び61が構成されている。ゲート電極8と81は図示されていない素子間分離酸化膜領域で互いに電氣的に接続してもよく、また独立の電位を与えてもよい。図3で示されるSOI構造は大電流特性が期待され、超微細なゲート長まで閾電圧値がゲート長によらず制御でき、パンチスルー現象の抑制効果も優れている等、理想構造に近いが、ゲート電極81、ゲート酸化膜61を余分に製造する必要があり、製造工程が複雑で実用的でなかった。また、ゲート電極8と81は互いに自己整合の関係で構成することができず、余分な寄生容量が生じ、高速度動作に支障が生じる等の欠点も生じた。

## 【0006】

【発明が解決しようとする課題】図2及び図3で示される従来公知のSOI構造のMOSトランジスタに共通する問題はチャネルを構成する超薄膜単結晶膜内に高濃度不純物を導入しておかない限り、電荷量が限定されるためにnチャネルトランジスタでは閾電圧値が負値に、pチャネルトランジスタでは正值に設定されることである。即ち、前記SOIトランジスタで相補型トランジスタを構成するとゼロ電圧で漏洩電流が流れてしまう問題があった。従って、チャネルを構成する超薄膜単結晶膜を高濃度不純物に設定する必要があるが、これにより移動度が低下し、駆動電流を大きくできない問題が生じた。

【0007】また、図3で示すSOI構造では、ゲート電極81に所望電位を与えることにより閾電圧値を制御できるが、前述のごとく製造工程が複雑なため製造歩留

が悪く、高価となり、且つ制御回路も複雑となる等の欠点のため実用にはいたっていない。

【0008】本発明は前記した従来SOI構造の問題点、ゼロ電圧での漏洩電流の問題が生じず、閾電圧値の所望電圧値への設定が簡単な製造工程により実現できる、従って廉価で実用的な相補型半導体装置を提供するものである。併せてチャンネルを構成する超薄膜単結晶膜を高濃度不純物に設定する必要もなく、従って大きな電流駆動能力を実現するものである。

【0009】本発明が解決しようとする他の課題はNチャンネルトランジスタの閾電圧値は正值の、Pチャンネルトランジスタの閾電圧値は負値の、限りなくゼロに近い値に設定することにより1V以下と低電圧電源でも十分に動作可能な低消費電力の相補型半導体装置を実現するものである。

【0010】

【課題を解決するための手段】前記課題を解決するために、本発明の相補型半導体装置では基板として、支持基板上に厚い絶縁膜、多結晶Si膜、薄い酸化膜、超薄膜の単結晶Si膜が順に構成された多層構造のSOI基板を用い、前記超薄膜単結晶Si膜に形成するNチャンネルトランジスタ下部の多結晶Si膜はP型高不純物濃度に、超薄膜単結晶Si膜のPチャンネルトランジスタ下部の多結晶Si膜はN型高不純物濃度に構成する。更に、N及びPチャンネルトランジスタの両ゲート電極に関し、少なくともゲート酸化膜を介して超薄膜単結晶Si膜に接する領域を仕事関数が前記P型高不純物濃度SiとN型高不純物濃度Siの中間となるごとき導電性材料で構成する。前記導電性材料としてはタングステン(W)膜、モリブデン(Mo)膜、タンタル(Ta)膜、タングステン窒化膜、チタン窒化膜(TiN)、タングステン珪化膜、モリブデン珪化膜、ニッケル珪化膜、コバルト珪化膜、ゲルマニウム混合Si膜、アルミニウム(Al)膜等がある。

【0011】

【作用】本発明に基づけば従来の超薄膜SOI構造相補型半導体装置の欠点であるNチャンネルトランジスタにおける閾電圧の負値化、Pチャンネルトランジスタにおける閾電圧の正值化の問題をトランジスタ直下の高濃度不純物多結晶Si層と、ゲート電極の仕事関数の両作用により解消することができる。ゲート電極材料、及び多結晶Si層の不純物濃度の設定によってNチャンネルトランジスタでは0.5V以下の小さな正值、Pチャンネルトランジスタでは-0.5V以下の小さな負値に閾電圧値を制御することができる。従って待機時の漏洩電流が無視できて、且つ低電源電圧での動作が可能となる。トランジスタ直下の高濃度不純物多結晶Si層の他の役割はチャンネル不純物濃度を上昇させなくともパンチスルー現象を抑止するものである。前記目的のためには単結晶Si膜直下の酸化膜厚を10nm程度と薄く構成し、薄い酸化

膜内でのドレイン電界集中を実効的に抑えれば良い。

【0012】図2で示されるSOI構造Nチャンネルトランジスタのゲート電極材料として高濃度P型Si膜を、Pチャンネルトランジスタのゲート電極材料として高濃度N型Si膜を用いればNチャンネルトランジスタにおける閾電圧の負値化、Pチャンネルトランジスタにおける閾電圧の正值化を達成できるが、閾電圧値は約±1Vと大きくなりすぎ、電源電圧1V以下での低電圧動作は不可能となる。

【0013】本発明に基づけば従来の超薄膜SOI構造の特徴である接合容量、及び配線容量の低減効果は損なわれない。更に、本発明では、ソース、ドレイン拡散層直下の多結晶Si膜を高抵抗化することにより接合容量を更に低減することができる。即ち、多結晶Si膜では結晶粒界に基づくエネルギー準位のために抵抗値の不純物濃度依存性は単結晶Siに比べて遥かに急峻であり、従って高抵抗多結晶Si膜は完全空乏化している。本発明に基づけばトランジスタに必ず付随する寄生素子領域は電気的に劣悪な多結晶膜で置換された構造になっており、従って寄生素子である接合容量素子の容量は下地の厚い酸化膜との直列接続効果とも相まって低減される。この低負荷容量特性に基づいて更なる高速、低電力動作が可能となる。

【0014】

【実施例】以下、本発明を実施例によりさらに詳細に説明する。理解を容易にするため、図面を用いて説明し、要部は他の部分よりも拡大して示されている。各部の材質、導電型、及び製造条件などは本実施例の記載に限定されるものではなく、それぞれ多くの変形が可能である。

【0015】(実施例1)図4から図6は本発明の第一の実施例による相補型半導体装置の製造工程順を示す断面図、図1はその完成断面図である。本発明の相補型半導体装置は図4に示すごとき酸化膜間に多結晶Si膜を有する多層構造SOIウエハを用いて製造する。図4で、1は単結晶Siウエハからなる支持基板(図示せず)上に形成された500nm厚さのシリコン熱酸化膜、2は化学気相反応により形成された200nm厚さの多結晶Si膜、3は単結晶Siウエハの熱酸化により形成された10nm厚さの酸化膜、4は抵抗率20Ωcm、p導電型、結晶面方位(100)厚さ100nmの単結晶Si膜である。ウエハ直径は12.5cmである。

【0016】図4の多層構造SOIウエハは直接貼合せ技術により製造された。即ち、薄い酸化膜4とSi堆積膜が形成されたSiウエハ4と、厚い酸化膜1が形成された支持基板Siウエハを無塵環境下で接着剤なしで直接貼合せた後、接合強度を強めるための熱処理を酸素雰囲気中1100℃、2時間の条件で行い、Siウエハ4の裏面側から研削、及び研磨を施して単結晶Si層4の厚さを約4μmにまで薄くした。次にウエハ内の単結晶

S i 層 4 の厚さ分布を光学的手法により測定し、直径 1 mm 程度の収束プラズマビームを用いた S i エッチング装置により厚さ分布に従って、分布が解消されるように制御しながらエッチングを施した。S i 層厚さ分布の測定とエッチングの処理を数回行うことにより単結晶 S i 膜 4 の膜厚を最終的にウエハ内で  $100 \pm 10$  nm になるごとく制御した。

【0017】なお、多層構造 S O I ウエハの製造方法に関しては前記手法に限定される必要はなく、又多結晶 S i 膜 2 に高濃度の不純物が添加されていたり、酸化膜 1 及び 3 の膜厚が異なったり、或いはシリコン窒化膜等の他の絶縁膜であっても良い。

【0018】図 4 で示した多層 S O I ウエハにおいて、活性領域以外の単結晶 S i 層 4 を選択的に除去し、除去領域に 350 nm と厚い素子間分離絶縁膜 5 を L O C O S 法と称される公知の酸化手法により選択的に形成した。薄い酸化膜 3 は単結晶 S i 層 4 の選択除去のエッチング阻止膜として作用し、選択除去の精度を向上させる働きをする。次に、N チャネルトランジスタ形成予定領域には硼素 (B) イオンを、又 P チャネルトランジスタ形成予定領域には磷 (P) イオンを加速エネルギーを各々 150 keV、及び 250 keV の条件でイオン注入を施した。注入イオン量は多結晶 S i 膜 2 内での最大不純物濃度が  $5 \times 10^{18} / \text{cm}^3$  となるごとく設定し、その後の熱処理により P 型高濃度多結晶 S i 層 2 1 及び N 型高濃度多結晶 S i 層 2 2 を形成した。イオン注入は厚い素子間分離絶縁膜 5 の形成前、更には単結晶 S i 層 4 の選択除去前に行っても良い (図 5)。

【0019】図 5 の状態より公知の MOS トランジスタ製造方法に基づき 5 nm 厚さのゲート酸化膜 6 を熱酸化法により形成した後、ヘリコンプラズマ装置による 50 nm 厚さの窒化チタン (T i N) 膜 7 の堆積を行い、続けて 200 nm 厚さの P が高濃度に添加された S i 膜 8 を減圧化学気相反応により堆積した。この状態より所望の回路構成に従い N チャネルトランジスタ、及び P チャネルトランジスタのゲート電極を形成すべく S i 膜 8 と T i N 膜 7 をパターニングした。最小ゲート長は 0.2  $\mu\text{m}$  であった。

【0020】前記パターニングで、S i 膜 8 上にゲート保護絶縁膜を余分に形成しておき、ゲート保護絶縁膜ごとくパターニングしても良い。更に、前記ゲート電極の側壁部に選択的に絶縁膜を残置するとき構造としてもよい。

【0021】次にパターニングしたゲート電極をマスクにしたイオン注入を行った。N チャネルトランジスタ領域においては P イオンを、P チャネルトランジスタ領域においては B イオンを選択的に注入したが多結晶 S i 膜 2 内に図 5 の状態で導入されている高不純物濃度領域を補償し、高抵抗化すべく、加速エネルギー、及び注入量を設定した。イオン注入により N チャネルトランジスタ

のゲート電極 8 直下を除く多結晶 S i 膜は P 型高抵抗領域 2 3 に、P チャネルトランジスタのゲート電極 8 直下を除く多結晶 S i 膜は N 型高抵抗領域 2 4 となった。

【0022】前記イオン注入は、ゲート電極 8 直下以外のソース、ドレイン拡散層形成予定領域直下の多結晶 S i 膜を高抵抗化するが目的であり、注入イオンは反対導電型イオンではなく酸素 (O)、又は窒素 (N) 等のイオンであっても良い。なお、所望により前記イオン注入を実施しなくとも良い (図 6)。

【0023】図 6 の状態より、ゲート電極 8 をマスクにしたイオン注入により N チャネルトランジスタ形成予定領域の単結晶 S i 層 4 1 に N 型高不純物濃度のソース拡散層 9、及びドレイン拡散層 10 を、P チャネルトランジスタ形成予定領域の単結晶 S i 層 4 2 に P 型高不純物濃度のソース拡散層 12、及びドレイン拡散層 11 を選択的に形成した。その後、アルミニウム (A l) を主材料とする金属配線製造工程により接地電位線 13、出力端子線 14、及び電源線 15 を含む所望の配線を形成した (図 1)。

【0024】この製造工程を経て製造された本実施例に基づく相補型半導体装置では チャネル領域の不純物濃度を上昇させていないにもかかわらず、0.2  $\mu\text{m}$  ゲート長の超微細トランジスタでもパンチスルー現象は認められず、閾電圧値も N チャネルトランジスタで 0.2 V、P チャネルトランジスタで -0.15 V となった。なお、閾電圧値は、チャネル幅 10  $\mu\text{m}$  で 10 nA のソース、ドレイン電流が流れる時のゲート電圧として定義している。また、0.2  $\mu\text{m}$  ゲート長、10  $\mu\text{m}$  ゲート幅の N チャネルトランジスタで、ゲート電圧、ドレイン電圧が各々 2 V の条件でソース、ドレイン電流は 8.5 mA と極めて大きな電流値を示し、駆動能力でも優れていることが明らかとなった。

【0025】前記電流値は従来比で約 1.5 倍の大電流化に相当する。更に、N 及び P 型ドレイン接合容量は何れも 0.2 fF/ $\mu\text{m}^2$  と従来トランジスタの 1/10 程度と極めて小さな値を示した。即ち本実施例に基づく相補型半導体装置は 1 V 以下の低電圧電源でも十分に高速動作が可能であり、且つ製造方法も既存の装置による公知の手法に基づくため廉価に提供できる特徴を有している。

【0026】(実施例 2) 図 7 は本発明の第二の実施例による相補型半導体装置の完成断面図である。実施例 1 ではゲート電極として T i N 膜 7 と S i 膜 8 の積層構造を用い、T i N 膜 7 の仕事関数がトランジスタの閾電圧値制御に関与する構成としたが、本実施例の相補型半導体装置では W 膜 7 1 層からなる材料でゲート電極を構成した。

【0027】本実施例に基づく相補型半導体装置では実施例 1 の素子と同一寸法の素子で閾電圧値も N チャネルトランジスタで 0.1 V、P チャネルトランジスタで -

0.25Vとなった。また、パンチスルー現象は認められず、その他の電気特性、即ち、寄生容量や最大駆動電流等はほぼ同等で優れた特性を示した。本実施例で、ゲート材料はWに限定されず、モリブデン(Mo)膜、タンタル(Ta)膜、タングステン窒化膜、タングステン珪化膜、モリブデン珪化膜、ニッケル珪化膜、コバルト珪化膜、ゲルマニウム混合Si膜、アルミニウム(Al)膜等の単層膜、或いは前記材料がゲート酸化膜に接するように構成された多層重ね合せ膜であっても良い。

【0028】(実施例3)他の実施例を図8により説明する。本実施例は本発明に基づく相補型半導体装置により構成された信号伝送処理装置に関し、特に非同期伝送方式(ATM交換器と称される)に関する信号伝送処理装置である。

【0029】図8で、光信号は光ファイバにより超高速で直列的に伝送され、電気信号に変換(O/E変換)し、且つ並列化(S/P変換)させる装置を経て本発明の実施例1に基づいて製造された相補型半導体装置で構成される集積回路(BFMSI)に導入される。該集積回路で番地付処理された電気信号は直列化(P/S変換)及び光信号化(E/O変換)されて光ファイバで出力される。前記BFMSIは多重器(MUX)、バッファメモリ(BFM)、及び分離器(DMUX)により構成される。該BFMSIはメモリ制御LSI、及び空アドレス振分け制御の機能を有するLSI(空アドレスFIFOメモリLSI)により制御される。

【0030】本信号伝送処理装置は伝送すべき番地と無関係に送られてくる超高速伝送信号を所望番地に超高速で伝送するスイッチの機能を有する装置である。BFMSIは入力光信号の伝送速度に比べて著しく動作速度が遅い為、入力信号を直接スイッチングできず、入力信号を一時記憶させ、記憶された信号をスイッチングしてから超高速な光信号に変換して所望番地に伝送する方式を用いている。BFMSIの動作速度が遅ければ、大きな記憶容量が要求される。

【0031】本実施例に基づくATM交換器ではBFMSIが実施例1に基づき製造された相補型半導体装置で構成されることにより従来のBFMSIに比べて動作速度が1.5倍と高速で且つ廉価なため、BFMSIの記憶容量を従来比で約2/3倍に低減することが可能となった。これ

によりATM交換器の製造原価を低減することができた。

#### 【0032】

【発明の効果】本発明によれば接合容量や配線容量を大幅に低減できるSOI構造で、Nチャネルトランジスタの閾電圧値は正の、Pチャネルトランジスタの閾電圧値は負の極めて小さな値に設定できる。また、 $0.2\mu\text{m}$ と超微細なゲート長の素子でもチャネル濃度を上昇させなくともパンチスルー現象が生じないため低チャネル濃度に基づく高移動度により従来構造素子の約1.5倍の大電流化が図れる。更に接合寄生容量も従来構造比で1/10以下にまで低減できる効果がある。従って、本発明に基づけば1V以下の低電圧で動作可能で、且つ低消費電力、高速動作可能な相補型半導体装置を従来製造装置により廉価に製造し、提供することができる。

#### 【図面の簡単な説明】

【図1】本発明の第一の実施例による相補型半導体装置の完成時の断面図。

【図2】従来のSOI構造相補型半導体装置の断面図。

【図3】従来のSOI構造相補型半導体装置の断面図。

【図4】本発明の第一の実施例による相補型半導体装置の製造工程を示す断面図。

【図5】本発明の第一の実施例による相補型半導体装置の製造工程を示す断面図。

【図6】本発明の第一の実施例による相補型半導体装置の製造工程を示す断面図。

【図7】本発明の第二の実施例による相補型半導体装置の完成時の断面図。

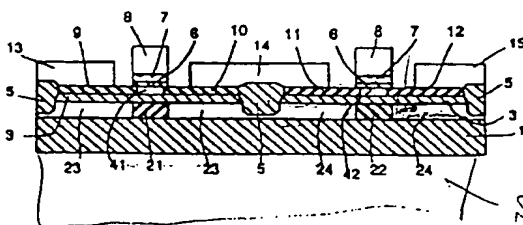
【図8】本発明の第三の実施例を説明する為の非同期伝送モードシステムの説明図。

#### 【符号の説明】

1…厚い酸化膜、2…多結晶Si膜、3…薄い酸化膜、4…単結晶Si膜、5…素子間分離酸化膜、6…ゲート酸化膜、7…TiN膜、8…Siゲート膜、9…N型ソース拡散層、10…N型ドレイン拡散層、11…P型ドレイン拡散層、12…P型ソース拡散層、13…接地電位線、14…出力端子、15…電源線、21…P型高濃度多結晶Si層、22…N型高濃度多結晶Si層、23…P型高抵抗多結晶Si層、24…N型高抵抗多結晶Si層、71…W電極。

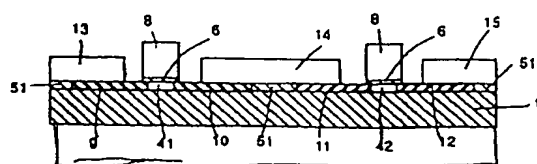
【図1】

図1



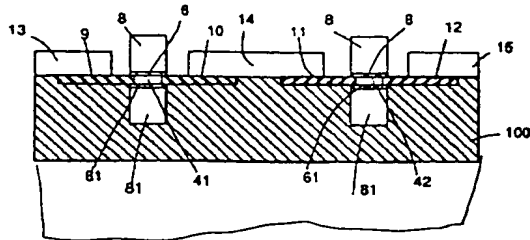
【図2】

図2



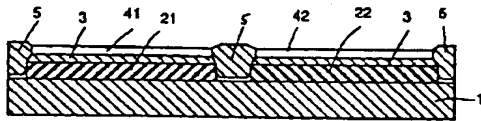
【図 3】

図 3



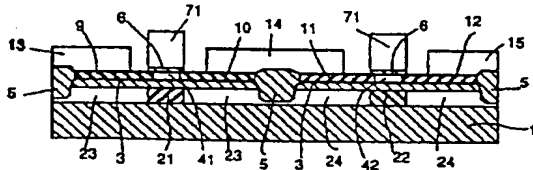
【図 5】

図 5



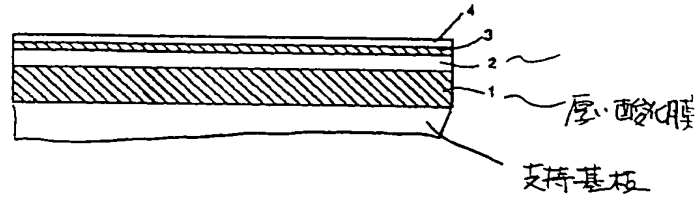
【図 7】

図 7



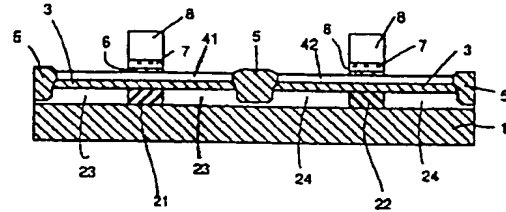
【図 4】

図 4



【図 6】

図 6



【図 8】

図 8

